

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135474

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 29/78

(21)Application number : 08-307442

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 31.10.1996

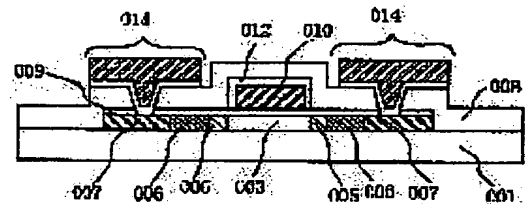
(72)Inventor : CHIYOU KOUYUU
OTSUKA KENJI
ISODA SHIRO

(54) INSULATED GATE FIELD EFFECT TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent channel regions from being contaminated due to turnaround of impurities by making the impurity concn. of contact regions higher than that of regions serving as sources/drains.

SOLUTION: On a substrate 001 having an insulative surface a semiconductor layer is formed, having channels 003, regions 006 functioning as sources/drains, low impurity regions 005 between the regions 003, 006, and contact regions 007 forming Ohmic contacts between source/drain regions contg. an impurity at a high concn. and electrodes. The impurity is added enough to form the Ohmic contacts in the regions for the contact with the electrodes. Regions acting as sources/drains are disposed near the channel regions and doped at a low dose of the impurity to reduce the turnaround.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
to registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平10-135474

(43) 公開日 平成10年(1998)5月22日

(51) Int.Cl. ⁷	識別記号	FI
H01L 29/788		H01L 29/78
21/238		610A
29/78		301L
		616V
		616J

審査請求 未請求 請求項の数 8 F D (全 14 頁)

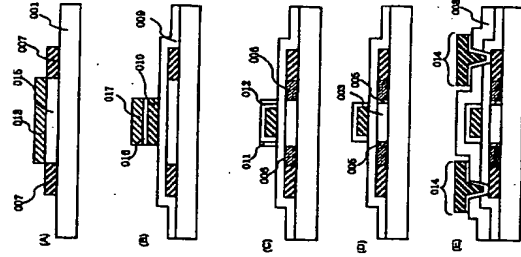
(21) 出願番号	特開平8-30742	(71) 出願人	000153978
(22) 出願日	平成8年(1996)10月31日	株式会社半導体エネルギー研究所 神奈川県横浜市金沢区388番地	
		(72) 発明者 張 宏男 神奈川県横浜市金沢区388番地 株式会社半導体エネルギー研究所内	
		(72) 発明者 大塚 憲司 神奈川県横浜市金沢区388番地 株式会社半導体エネルギー研究所内	
		(72) 発明者 磯田 志郎 神奈川県横浜市金沢区388番地 株式会社半導体エネルギー研究所内	

(54) 【発明の名称】 絶縁ゲイト型電界効果トランジスタ及びその作製方法

(57) 【要約】

【課題】 ソース/ドレイン領域を形成する際、低加した不純物の回り込みによる IGFET の特性の劣化を解決することを課題とする。

【解決手段】 絶縁ゲイト型電界効果トランジスタのソース/ドレイン領域を、ソース/ドレインとして機能する領域と、ソース/ドレイン領域と電極とのコンタクト領域とに分離し、電極とのオーミックコンタクトを形成するため、コンタクト領域には高濃度不純物を添加し、ソース/ドレインとして機能する領域には、回り込みを少なくするため低濃度不純物を添加する。



【特許請求の範囲】

【請求項1】 絶縁ゲイト型電界効果トランジスタにおいて、半導体層がチャネル領域と、低不純物領域と、ソース/ドレインとして機能する領域と、ソース/ドレインと電極とのコンタクト領域とからなり、前記コンタクト領域は、ソース/ドレインとして機能する領域よりも不純物濃度が高いことを特徴とする絶縁ゲイト型電界効果トランジスタ。

【請求項2】 半導体層の上に形成されたゲイト絶縁膜が、チャネル領域と低不純物領域とソース/ドレインとして機能する領域との上を覆って、ソース/ドレインと電極とのコンタクト領域は覆われていないことを特徴とする絶縁ゲイト型電界効果トランジスタ。

【請求項3】 絶縁ゲイト型電界効果トランジスタにおいて、半導体層がチャネル領域と、低不純物領域と、ソース/ドレインとして機能する領域と、ソース/ドレインと電極とのコンタクト領域とからなり、前記コンタクト領域のシート抵抗が1kΩ/□以下であることを特徴とする絶縁ゲイト型電界効果トランジスタ。

【請求項4】 絶縁ゲイト型電界効果トランジスタにおいて、半導体層がチャネル領域と、低不純物領域と、ソース/ドレインとして機能する領域と、ソース/ドレインと電極とのコンタクト領域とからなり、前記ソース/ドレインとして機能する領域のシート抵抗が10kΩ/□以下であることを特徴とする絶縁ゲイト型電界効果トランジスタ。

【請求項5】 基板上に半導体層と、該半導体層の上にゲイト絶縁膜を介して形成された二つ以上のゲイト電極とを有する絶縁ゲイト型電界効果トランジスタにおいて、

前記半導体層が、各ゲイト電極の下に形成された複数のチャネル領域と、チャネル領域に近接して設けられたソース/ドレインとして機能する領域と、ソース/ドレインと電極とのコンタクト領域とからなり、隣接する二つのチャネル領域に挟まれた領域中の不純物濃度が、前記コンタクト領域よりも低いことを特徴とする絶縁ゲイト型電界効果トランジスタ

【請求項6】 基板上に半導体層を形成する工程と、該半導体層に高濃度不純物を添加してソース/ドレインと電極とのコンタクト領域を形成する工程と、前記半導体層の上にゲイト絶縁膜を形成する工程と、該ゲイト絶縁膜上にゲイト電極を形成する工程と、該ゲイト電極をマスクとして不純物を添加してソース/ドレインとして機能する領域を形成する工程と、低不純物領域を形成する工程とからなることを特徴とする絶縁ゲイト型電界効果トランジスタの作製方法。

【請求項7】 基板上に半導体層を形成する工程と、前記半導体層にマスの酸化珪素膜を通して高濃度不純物を添加してソース/ドレインと電極とのコンタクト領域を形成する工程と、

前記半導体層の上にゲイト絶縁膜を形成する工程と、該ゲイト絶縁膜上にゲイト電極を形成する工程と、ドレインとして機能する領域を形成してソース/ドレインとして機能する領域を形成する工程と、低不純物領域を形成する工程とからなることを特徴とする絶縁ゲイト型電界効果トランジスタの作製方法。

【請求項8】 基板上に半導体層を形成する工程と、前記半導体層の上にゲイト絶縁膜を形成する工程と、該ゲイト絶縁膜上にアルミニウム膜を形成する工程と、該アルミニウム膜とゲイト絶縁膜をパターンニングする工程と、

パターンニングされたアルミニウム膜をゲイト電極にパターンニングする工程と、

不純物を添加する工程と、低不純物領域を形成する工程とからなることを特徴とする絶縁ゲイト型電界効果トランジスタの作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明で開示する発明は、半導体装置、特にその基本素子である絶縁ゲイト型電界効果トランジスタに関する。

【0002】

【従来の技術】 従来の絶縁ゲイト型電界効果トランジスタ (以下 IGFET と略) の一例として、低不純物領域を有する N 型 IGFET の構成を図 1 (A) に示す。

【0003】 従来の低不純物領域を有する N 型 IGFET の作製工程は、まず、基板 001 の上に半導体層とゲイト絶縁膜 009 を形成する。そして、そのゲイト絶縁膜 009 の上にゲイト電極 010 を形成する。ゲイト電極 010 に導電性化法を用いて導電性化膜を形成する。この導電性化膜は、耐腐食性に優れた多孔性の導電性化膜 012 と耐腐食性に劣っている多孔性の導電性化膜 011 との 2 層構造からなり、ゲイト電極の内部に緻密な導電性化膜 012、外側に多孔性の導電性化膜を形成する。

【0004】 そして、導電性化膜 012 にゲイト電極をマスクとして P (リン) を高濃度ドーピングする。こうして、ソース/ドレイン領域 004 を形成する。次に多孔性の導電性化膜 012 を選択的にエッチングする。この時、緻密な導電性化膜 011 はエッチングされずに残存する。

【0005】 そして、再びリンを低濃度ドーピングし、低不純物領域 005 を形成する。この低不純物領域のドレイン側は、LDD (Lightly Doped Drain) とよばれる領域である。

【0006】 この工程で、低不純物領域に挟まれたチャネル領域 003 が形成される。そして、側面絶縁膜 008 を形成する。最後にソース/ドレイン領域の引出し電極 014 を形成する。

【0007】 こうして低不純物領域を有する N 型 IGFET を作製する。

【0008】

7

ルミニウムの異成長により発生する針状あるいは刺状の突起物のことである。このヒロックやウィスカは、加熱処理やレーザー光の照射、さらに不純物元素のドーピングにおいて発生する。

【0048】次に、レジストマスク017を配置する。このレジストマスクは、ゲイト電極を形成するためのもので、図2(A)、(B)からも判るように、コンタクト領域を形成する際に用いたレジストマスク013よりも幅の短いことを特徴としている。

【0049】次に、レジストマスク017を利用してパターンニングを行う。こうして図2(B)に示す状態を得る。

【0050】図2(B)に示す状態において、010がN型IGFETのゲイト電極である。016が該ゲイト電極の上面に露出した陽極酸化膜である。

【0051】次に、レジストマスク017を除去する。

【0052】次に、再度の陽極酸化を行う。この工程は、電解溶液としてシリコンを用いた陽極酸化法で、図2(C)の011で示される多孔性の膜質を有する陽極酸化膜が形成される。

【0053】次に、図2(C)の012で示される陽極酸化膜を形成する。この陽極酸化膜012は、電解溶液としてシリコンを用いた陽極酸化を行うことにより、緻密な膜質の陽極酸化膜となる。

【0054】そして、再びリンイオンの注入を行う。ここでは、ゲイト絶縁膜が存在するため図2(A)に示す工程において露出されたドーパメントよりも高ドーパメントでリンを添加する。

【0055】本実施例のこの工程では、次の条件でドーピングを行う。

ドーパメント $5 \times 10^{14} \text{ cm}^{-2}$
加速電圧 80 kV
RF電力 20 W

【0056】この工程は、ゲイト絶縁膜を通して不純物を添加するスルードーパのため、実質的に半導体層に露出される不純物の量は、ゲイト絶縁膜の厚さにより減少する。従って、この工程によって形成されるN⁺領域006は、N⁺領域よりも低濃度である。一般的には、この工程によってN⁺領域006のシート抵抗が数100 Ω/\square 以下となるようにする。

【0057】また、この工程は、スルードーパで行っているため、ゲイト絶縁膜の厚さによってそのドーパメント量は変化する。

【0058】この工程において形成されたN⁺領域006は、N型IGFETのソース/ドレインとして機能する領域となる。また、このN⁺領域006の幅は、図2(A)の工程で用いたレジストマスク013と、図2(B)の工程で用いたレジストマスク017との大きさの違い、位置関係とによって決まる。

【0059】次に、図2(C)で形成したゲイト電極の

9

る。

【0071】そして、ソース/ドレイン領域のコンタクト領域007にコンタクトホールを形成する。そして、引出し電極014を形成する。コンタクト領域007は、高濃度にリンが添加されているので、電極014とオーミックコンタクトを形成することができる。

【0072】本実施例では、この電極として、チタン膜とアルミニウム膜をチタン膜との3層膜をスパッタ法により形成する。そしてこの金属膜(積層膜)をパターンニングすることにより014で示される電極を形成する。

【0073】最後に350℃の水素雰囲気中において、1時間の加熱処理を行い、半導体中の欠陥の終端を行う。

【0074】こうして図2(E)に示す状態を得る。このN型IGFETは、コンタクトを形成するために多量にリンがドーピングされた領域007が、チャネル領域003から離れて形成されているため、007を形成する際に不純物が低不純物領域005、或いはチャネル領域003まで回り込むことを防ぐことができる。

【0075】同時に本実施例では、図2(A)に示す工程で、リンを添加する際に絶縁層や中間層を挟まないで行うアパードープのため、中間層を通して添加を行うスルードーパよりも短時間且つ低ドーパメントで形成することができ。

【0076】従来のレジストマスクを除去するために、硬化した部分を酸液を用いてアッシングを行い、その後柔らかい部分のレジストマスクを酸液で除去していたが、硬化したレジストマスクが厚いときは、保護している下地膜にまで酸液がプラズマによって損傷を与えることがあった。

【0077】この硬化した部分は、ドーピングを行う際にイオンの衝突により、レジストマスクが200℃以上に高温状態になり、さらに、不純物が高濃度添加されるためにレジストマスクが硬化する。

【0078】本実施例では、短時間で添加が終了したため、レジストマスクが200℃以上の高温となる時間が短く、さらに低濃度でドーピングが終了するため、レジストマスクの硬化を抑制することができる。

【0079】そのため本実施例では、レジストマスクの硬化した部分が厚くなり、柔らかい部分が厚くなるためアッシングする際のプロセスマージンを多く取ることができ、下地膜への影響を抑制できる。

【0080】本実施例では、N型IGFETの場合を示したが、本発明の構成はP型IGFETにおいても有効である。

【0081】本実施例では、プレーナ型のIGFETで示したが、本発明の構成は逆プレーナ型、スタガ型、逆スタガ型に用いても有効である。

【0082】本実施例では、活性層に多結晶半導体を用いたが、アモルファス、微結晶を有するアモルファス等

10

に用いることも適宜成しえる。

【0083】(実施例2) 本実施例は、実施例1に示す工程を一部変更したものである。詳しくは、実施例1の図2(A)の工程を図3に変更したものである。

【0084】まず、実施例1と同様の条件で、ガラス基板001の上に下地保護膜と非晶質珪素膜を形成する。

次に、非晶質珪素膜の上にマスク酸化珪素膜018を形成する。

【0085】このマスク酸化珪素膜018は、

- ・イオン注入の衝突によって、半導体層表面が荒れるのを抑制する。
- ・活性層にレジストマスクの不純物が拡散することを防止する。
- ・レジストマスクを剥離する際の酸液プラズマから活性層を保護する。
- ・レジストマスクを剥離する際、酸液に活性層を傷めない。

という効果がある。

【0086】マスク酸化珪素膜を成膜する方法としては、プラズマCVD法、スパッタ法、活性層の熱酸化による成膜等から適宜選択できる。

【0087】また、マスク酸化珪素膜をCVD法で成膜する際に用いる原料ガスは、シランと酸化水素、TEOS、またはTEOSと酸化水素との混合ガス等から適宜選択できる。

【0088】ここでいう酸化水素とは、酸素、オゾン、亜酸化窒素のように、活性化された酸素を供給することのできる気体、又はそれらの混合気体をいう。本実施例では、TEOSと酸素を原料に用いたプラズマCVD法によって100~1000A、本実施例では約500Aの厚さにマスク酸化珪素膜018を形成する。

【0089】次に、実施例1と同様の条件で非晶質珪素膜を結晶化し、パターンニングを行い、レジストマスク013を成膜する。

【0090】そして、リンをドーピングする。このドーピングはソース/ドレイン領域のコンタクト領域を形成するための条件で行われる。

【0091】本実施例では、次の条件でドーピングを行う。

ドーパメント $5 \times 10^{14} \text{ cm}^{-2}$
加速電圧 80 kV
RF電力 20 W

【0092】本実施例では、このリンを添加する工程は、マスク酸化珪素膜018を通してスルードーパで行うため、実施例1に比べて高ドーパメントで、また、マスク酸化珪素膜018の膜厚により、上記条件は適宜変化する。

【0093】こうして、図3に示すように、リンが添加されたソース/ドレイン領域のコンタクト領域007と、レジストマスク013によって不純物の添加されな

11

かった領域015が形成される。このソース/ドレイン領域のコンタクト領域007のシート抵抗は1kΩ/□以下とする。

【0094】次に、レジストマスク013を酸素を用いたアッシング処理と、純酸素でのウェットエッチングで除去した後に、マスク酸化処理を除去する。

【0095】残りの工程は、実施例1と同様の条件で行う。

【0096】本実施例では、半導体層015、特にチャネル領域となる活性層に、レジストから不純物等の拡散による汚染をマスク酸化処理領域018によって抑制することができる。

【0097】また、不純物の添加の際、イオンの衝撃等によって半導体層の表面が荒れるのを防止することができ、従って、信頼性の高いIGFETを作製することができる。

【0098】（実施例3）本実施例は、実施例1をダブルゲイト型のN型IGFETに適用したものである。図4にその工程を示す。

【0099】まず、実施例1と同様の方法で、ガラス基板001の上に図示しない下地保護膜と島状の建築半導体層を形成する。次に、建築半導体層の上にレジストマスク013をパターンニングする。そして、実施例1の図2 (A) の工程と同じ条件でリンの添加を行い、ソース/ドレイン領域のコンタクト領域となる領域007を形成する。

【0100】こうして、図4 (A) に示す状態を得た。レジストマスク013を除去して、ゲイト絶縁膜009を、実施例1と同じ条件で形成する。

【0101】その後、実施例1と同様にアルミニウム膜を全面に散布し、その表面を陽極酸化する。そして、パターンニングを施して、ゲイト電極010、010'を形成する。そして、実施例1と同様に、ゲイト電極010、010'を陽極酸化して多孔性の陽極酸化膜011と、緻密な陽極酸化膜012を形成する。

【0102】そして、実施例1の図2 (C) の工程と同様の条件でリンをドーピングする。そして、図4 (B) に示すように、ソース/ドレインとして機能する領域006、006'を形成する。

【0103】次に、多孔性の陽極酸化膜011をエッチングして、再び、実施例1の図2 (D) の工程と同じ条件でリンをドーピングする。

【0104】こうして、図4 (C) に示すように、電極010の下に形成されたチャネル領域003と、チャネル領域003に隣接して形成された低不純物領域005とが形成される。同時に、電極010'の下に形成されたチャネル領域003'と、チャネル領域003'に隣接して形成された低不純物領域005'とが形成される。

【0105】残りの工程も実施例1と同様の条件で行

う。こうして、層間絶縁膜008と引出し電極014とが形成され、図4 (D) に示すように、ダブルゲイト型のN型IGFETが作製される。

【0106】このダブルゲイト型のN型IGFETの半導体層の構成は、各ゲイト電極010、010'の下に形成されたチャネル領域003、003'と、各チャネル領域に隣接して設けられた低不純物領域005、005'と、ソース/ドレインとして機能する領域006、006'、006'と、ソース/ドレイン領域と電極とのコンタクト領域007とからなっている。

【0107】そして、二つのチャネル領域003、003'に挟まれたソース/ドレインとして機能する領域006'におけるリンの不純物濃度は、当然ながら、他のソース/ドレインとして機能する領域006、006'の不純物濃度と概略等しく、ソース/ドレインと電極とのコンタクト領域007の不純物濃度よりも低い。

【0108】本実施例では、ダブルゲイト型を示したものが、ゲイト電極の数が二つ以上の電界効果トランジスタにも応用できる。

【0109】また、本実施例では、マスク酸化処理領域を用いずに作製したが、実施例2の如く、コンタクト領域を形成するためのドーピングの前にマスク酸化処理領域を形成してもよい。

【0110】（実施例4）本実施例は、LCDモジュールの周辺回路の薄膜トランジスタに応用したものである。図5～図9にその工程を示す。

【0111】本実施例では、ガラス基板上に建築マトリクス部と、建築マトリクス部を駆動するための駆動回路（バッファ回路）を構成するP及びNチャネル型の薄膜トランジスタを同時に作製する工程を示す。

【0112】本実施例では、薄膜トランジスタの形式としてゲイト電極は活性層の上方に存在するトップゲイト型のものである。

【0113】まず、実施例1と同様に、ガラス基板001上に図示しない下地膜と非晶質建築膜を成膜する。そして、非晶質建築膜の結晶化を行う。

【0114】次に、多結晶建築膜にパターンニングを施すことにより、図5 (A) の002、002'、002"で示すパターンを形成する。このパターンは、それぞれ薄膜トランジスタの活性層となる。

【0115】即ち、002が建築マトリクス部に配置される薄膜トランジスタの活性層であり、002'がNチャネルドライバ一部に配置される薄膜トランジスタの活性層であり、002"がPチャネルドライバ一部に配置される薄膜トランジスタの活性層である。

【0116】次に図5 (B) に示すようにレジストマスク013、013'、013"を配置する。そして、実施例1の図2 (A) の工程と同様の条件でリンをドーピングを行う。この工程で、Nチャネルドライバ部にソース/ドレインと電極とのコンタクトを形成するための

13

N+領域007'が形成される。同時に、建築マトリクス部の活性層にソース/ドレイン領域004を形成する。

【0117】そして、図5 (B) に示すように、半導体層上に形成されたレジストマスク013、013'、013"により保護された真性な領域015、015'、002'が残存する。

【0118】このドーピング工程は、非自己整合プロセスで行われる。非自己整合プロセスにおいては、マスク合わせ精度が重要となる。

【0119】このようにして、図5 (B) に示す工程を行った後、レジストマスク013、013'、013"を除去する。

【0120】次に、新たなレジストマスク017、017'、017"を、図5 (C) に示すように配置する。【0121】そして、Pチャネルドライバ一部の活性層にP+領域を形成するためボロンを添加する。この工程で、図5 (C) の007'で示すP+型のソース/ドレイン領域と電極とのコンタクト領域が形成される。

【0122】また、レジストマスク017、017'に【0123】次に、図6 (A) に示すように、ゲイト絶縁膜009を、実施例1と同様に形成する。

【0124】次に、図6 (B) に示すように、ゲイト電極を形成するために、アルミニウム膜019を成膜する。そして、実施例1と同様にアルミニウム膜019に、陽極酸化法により陽極酸化膜016を形成する。

【0125】次に、レジストマスク020、020'、020"を配置する。このレジストマスクは、ゲイト電極を形成するためのものである。このようにして、図6 (B) に示す状態を得る。

【0126】次に、レジストマスクを利用してパターンニングを行う。そして、レジストマスク020、020'、020"を除去することにより、図6 (C) に示す状態を得る。

【0127】図6 (C) に示す状態において、010が建築マトリクス部の薄膜トランジスタのゲイト電極である。016が該ゲイト電極の上部に残存した陽極酸化膜である。

【0128】また、建築マトリクス部は、図5 (B) の工程で用いたレジストマスク013と、図6 (B) で用いたレジストマスク020との大きさの違いと位置関係とによって決定されるオフセット領域022が形成される。

【0129】図示されていないが、ゲイト電極からはソース線とともに格子上に配置されるゲイト線が近接する。

【0130】同様に、010'がNチャネルドライバ一部

14

部の薄膜トランジスタのゲイト電極である。016'が該ゲイト電極の上部に残存した陽極酸化膜である。

【0131】同様に、010'がPチャネルドライバ一部の薄膜トランジスタのゲイト電極である。016'が該ゲイト電極の上部に残存した陽極酸化膜である。

【0132】次に、図7 (A) に示すように、再度レジストマスク021を形成する。そして、実施例1と同様に、再度の陽極酸化をゲイト電極010'、010"に行う。この陽極酸化によって、図7 (A) の011'、011"、012'、012"で示される陽極酸化膜を形成する。ここで、内側に形成された陽極酸化膜012'、012"は、緻密な膜質を有している。また、外側に形成された陽極酸化膜011'、011"は、多孔性の膜質を有している。

【0133】本実施例では、レジストマスク021によって、建築マトリクス部には陽極酸化膜が形成されない。このレジストマスク021は、建築マトリクス部にあって不要な工程から保護するために形成されている。

【0134】次に、Pチャネルドライバ一部を覆ってレジストマスク021'を形成する。そして、再びリンのドーピングを行う。ここでは、Nチャネルドライバ一部のソース/ドレインとして機能するN+領域を形成する条件でリンを添加する。

【0135】この添加により図7 (B) に示すように、ソース/ドレインとして機能するN+領域006'を形成する。

【0136】次に、Nチャネルドライバ一部のゲイト電極010'の外側に形成された多孔性の陽極酸化膜011'を、実施例1と同様に除去する。そして、もう一度リンを添加して、N+型の低不純物領域005'を形成する。同時に、この工程でゲイト電極によって不純物が添加されなかったチャネル領域003'も同時に形成される。

【0137】このようにして、図7 (C) に示すように、Nチャネルドライバ一部の半導体層にチャネル領域から順に、N+型の低不純物領域005'と、ソース/ドレインとして機能するN+領域006'と、電極とのコンタクトを形成するためのN+領域007'とが形成される。

【0138】この工程で、建築マトリクス部とPチャネルドライバ一部には、レジストマスク021、021'が形成されているためリンは添加されない。

【0139】次に、Pチャネルドライバ一部のレジストマスク021'を除去した後、Nチャネルドライバ一部に、新たにその全面を覆うレジストマスク021'を配置する。そしてこの状態において、ボロンのドーピングを行う。ここでは、Pチャネルドライバ一部のソース/ドレインとして機能するP+領域を形成するために不純物を添加する。

【0140】 図8 (A) に示すように、Pチャネルドライバ部にソース/ドレインとして機能するP⁺領域006^{*}が形成される。

【0141】 そして、ゲイト電極010^{*}の側面に形成されている、多孔質の陽極酸化膜011^{*}を実施例1と同様に除去する。そして、再びボロンドープ型を行う。この工程によって、図8 (B) に示すようにP⁺型の低不純物領域005^{*}と、ゲイト電極の下に形成されたチャネル領域003^{*}とが形成される。

【0142】 次に、レジストマスク021、021'を除去し、再度レーザー光の照射を行い注入された不純物の活性化とドーピング時に生じた結晶構造の損傷のアニールを行う。

【0143】 本実施例に示す構成においては、Nチャネルドライバ部とPチャネルドライバ部間のゲイト電極の周囲に陽極酸化膜が形成されているので、その陽極酸化膜の厚みに相当する活性層は、オフセット領域となる。

【0144】 このオフセット領域は、チャネル領域とソース領域との間、及びチャネル領域とドレイン領域との間に配置された高抵抗領域として機能する。このオフセット領域は、チャネル領域と同じ、真性または実質的に真性半導体型を有している。そして、薄層トランジスタの動作時には、チャネルとしても機能せず、またソース/ドレイン領域としても機能しない高抵抗領域として機能する。

【0145】 そして、実施例1と同様の条件で、層間絶縁膜008を成膜する。そして、コンタクトホールを形成し、引出し電極を形成する。

【0146】 こうして、図9に示す状態を得る。ここでも、014は画素マトリクス部の薄層トランジスタ（ここではNチャネル型の薄層トランジスタ）のソース/ドレイン領域にコンタクトした電極である。

【0147】 ここで、014^{*}は、Nチャネルドライバ部の薄層トランジスタのソース/ドレインとして機能する領域の延長にある、不純物が高濃度に添加されたN⁺領域とコンタクトした電極である。

【0148】 ここで、014^{*}は、Pチャネルドライバ部の薄層トランジスタのソース/ドレインとして機能する領域の延長にある、不純物が高濃度に添加されたP⁺領域とコンタクトした電極である。

【0149】 図示していないが、この後に第2の層間絶縁膜を形成する。第2の層間絶縁膜は、ここでは再びCVD法で形成した酸化窒素を用いた。そして、第3の層間絶縁膜をポリイミドで覆って形成する。ここでは、スピンコート法で第3層間絶縁膜を形成する。

【0150】 そして、ITO膜を1000Åの厚さによりパッド法で成膜し、これをパターニングすることにより画素電極を形成する。

【0151】 最後に350℃の水素雰囲気中において、

ゲイト絶縁膜009を介して注入されるスルードープであるため、添加される量は0.07に比べて減少する。

【0162】 即ち、不純物の添加量が減少した領域006は、ソース/ドレインとして機能する領域となり、高濃度に添加された領域007は、ソース/ドレイン領域と電極とのコンタクト領域となる。

【0163】 このドーピングのドーズ量は、ゲイト絶縁膜を通してスルードープで、ソース/ドレインとして機能する領域が形成される条件且つ、ペアドープによってソース/ドレイン領域と電極とのコンタクト領域が形成される条件で行う。この条件はゲイト絶縁膜の厚さによっても変化する。本実施例では、ゲイト絶縁膜の厚さが1000Å、ドーズ量が $5 \times 10^{14} \text{ cm}^{-2}$ の条件で行う。

【0164】 また、ソース/ドレインとして機能する領域006の幅は、第1のレジストマスク013と、第2のレジストマスク17との大きさの違いと位置関係とによって決まる。

【0165】 こうして、図10 (C) に示す状態を得る。その後、実施例1と同様に、ゲイト電極の側面に形成されている多孔性の陽極酸化膜011を除去する。そして、再び不純物の添加を行い図10 (D) に示すようにして、低不純物領域005と、チャネル領域003とを形成する。

【0166】 そして、層間絶縁膜008を実施例1と同じ条件で形成する。そして、コンタクトホールを形成し、引出し電極014を形成して、図10 (E) に示すように、低不純物領域を持つ絶縁ゲイト型電界効果トランジスタを形成する。

【0167】 本実施例では、ソース/ドレインとして機能する領域006と、ソース/ドレインと電極とのコンタクト領域007が一つの工程で作製できるため、歩留を上げることができる。

【0168】 【発明の効果】 本明細書で開示する発明を利用することによって、活性層中で、チャネル領域に近い範囲に形成されたソース/ドレインとして機能する領域に添加する不純物を少なくできるため、不純物の回り込みによるチャネル領域の汚染を防ぐことができる。同一基板で作られたトランジスタの特性のばらつきを抑えることができる。

【0169】 さらに、同一基板の面内均一性が必要な液晶パネルに本発明の構造を用いることにより、信頼性の高いパネルを形成することができる。

【図面の簡単な説明】

【図1】 従来の構成と本発明の構成の絶縁ゲイト型トランジスタの断面図。

【図2】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図3】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図4】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図5】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図6】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図7】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

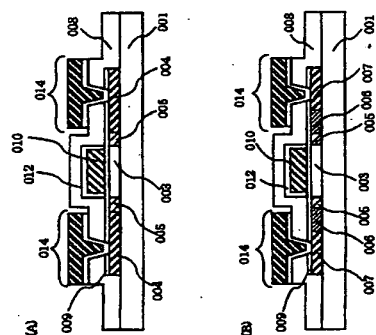
【図8】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図9】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

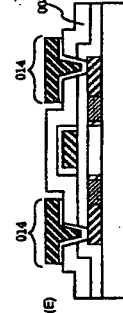
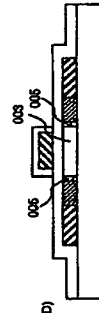
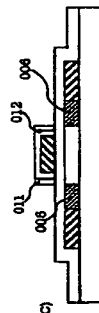
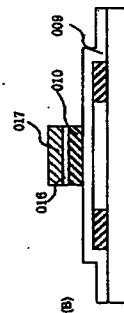
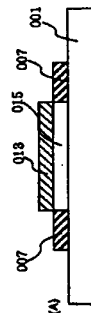
【図10】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【符号の説明】
001 基板
002、002'、002^{*} 活性層
003、003'、003^{*} チャネル領域
004 ソース/ドレイン領域
005、005'、005^{*} 低不純物領域
006、006'、006^{*} ソース/ドレインとして機能する領域
007、007'、007^{*} コンタクト領域
008 層間絶縁膜
009 ゲイト絶縁膜
010、010'、010^{*} 多孔性の陽極酸化膜
011、011'、011^{*} 緻密な陽極酸化膜
012、012'、012^{*} レジストマスク
013、013'、013^{*} 引出し電極
014、014'、014^{*} I型層
015、015'、015^{*} 上部陽極酸化膜
016、016'、016^{*} レジストマスク
017、017'、017^{*} マスク酸化窒素膜
018 アルミニウム膜
019 レジストマスク
020、020'、020^{*} レジストマスク
021、021'、021^{*} レジストマスク
022 オフセット領域

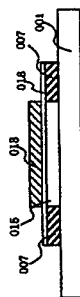
【図1】



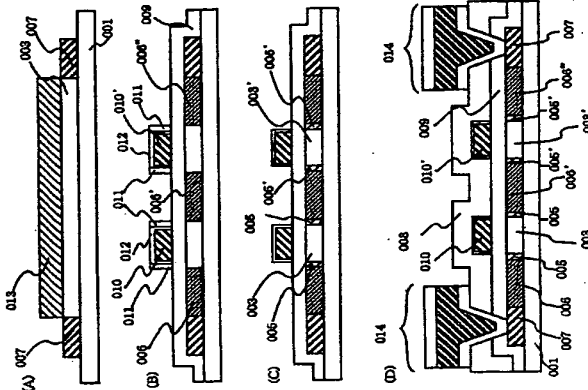
【図2】



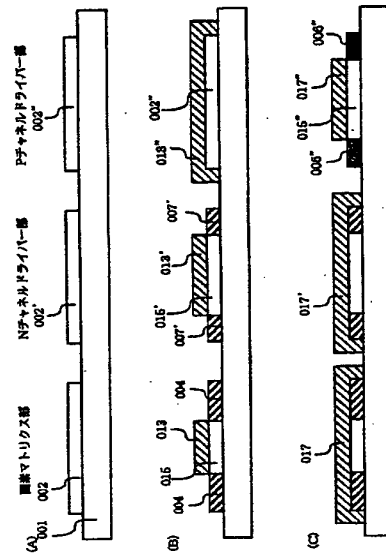
【図3】



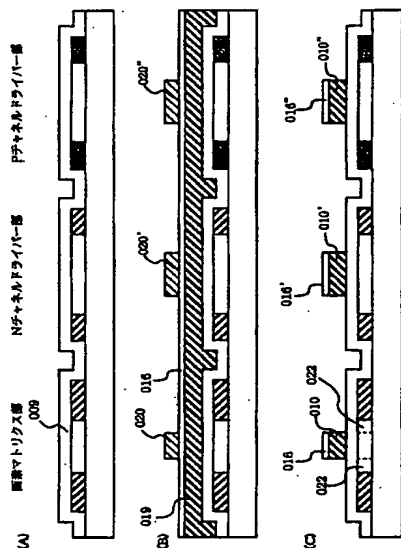
【図4】



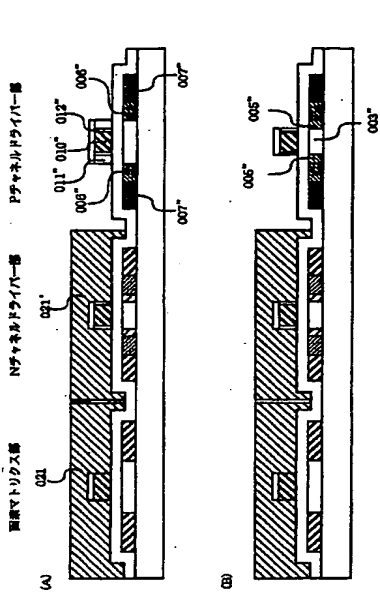
【図5】



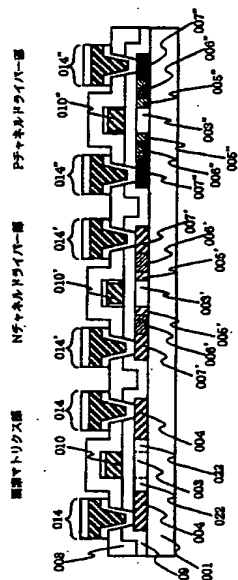
【図6】



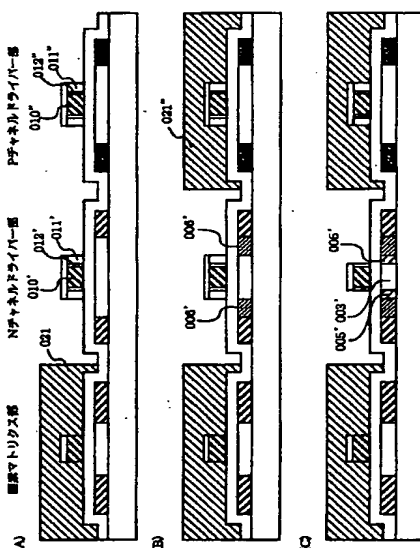
【図8】



【図9】



【図7】



2

1

2

1